



AD

2682 0436 75
0300 5020
2FC1

501.41070X00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): OOUE, Eiji
Serial No.: 10/067,234
Filed: February 7, 2002
For: SEMICONDUCTOR DEVICE AND DRIVE CIRCUIT
USING THE SEMICONDUCTOR DEVICES

RECEIVED
APR 30 2002
Technology Center 2600

LETTER CLAIMING RIGHT OF PRIORITY

Honorable Commissioner of
Patents and Trademarks
Washington, D.C. 20231

March 6, 2002

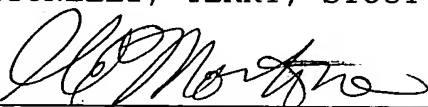
Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant hereby claims the right of priority based on Japanese Patent Application No. 2001-071773 filed March 14, 2001.

A certified copy of said Japanese Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP



Gregory E. Montone
Registration No. 28,141

GEM/kd
Attachment
(703) 312-6600



3100-1784
MT

09

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2001年 3月14日

出 願 番 号
Application Number:

特願2001-071773

出 願 人
Applicant(s):

株式会社日立製作所
日立デバイスエンジニアリング株式会社

RECEIVED

APR 30 2002

Technology Center 2600

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年10月19日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3092542

【書類名】 特許願

【整理番号】 NT00P1022

【提出日】 平成13年 3月14日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/76
H01L 21/762
H01L 21/331

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内

【氏名】 大植 栄司

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内

【氏名】 鷺尾 勝由

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内

【氏名】 近藤 将夫

【発明者】

【住所又は居所】 千葉県茂原市早野3681番地 日立デバイスエンジニアリング株式会社

【氏名】 島本 裕巳

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【特許出願人】

【識別番号】 000233088

【氏名又は名称】 日立デバイスエンジニアリング株式会社

【代理人】

【識別番号】 100068504

【弁理士】

【氏名又は名称】 小川 勝男

【電話番号】 03-3661-0071

【選任した代理人】

【識別番号】 100086656

【弁理士】

【氏名又は名称】 田中 恭助

【電話番号】 03-3661-0071

【手数料の表示】

【予納台帳番号】 081423

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその半導体装置により構成された駆動回路

【特許請求の範囲】

【請求項 1】

半導体基体上に積層して形成された第 1 の絶縁膜層および第 1 の半導体領域と

上記第 1 の半導体領域上に形成された第 2 の絶縁膜層と、

上記第 2 の絶縁膜層上に形成された、又は上記第 2 の絶縁膜層上に該第 2 の絶縁膜層より薄い第 3 の絶縁膜層を介して形成された第 2 の半導体領域と、

上記第 2 の半導体領域下面から半導体基体上面までを貫通した溝と、

上記溝の側面内側に接して形成された第 4 の絶縁膜層と、

上記溝の内部に上記第 4 の絶縁膜層および半導体基体に接して形成された第 3 の半導体領域とから構成され、

上記第 2 の半導体領域と上記第 3 の半導体領域が接するか、または、上記第 2 の絶縁膜層より薄い第 5 の絶縁膜層を介して接続されることを特徴とする半導体装置。

【請求項 2】

前記第 5 の絶縁膜層の厚さが 1 0 n m 以下であることを特徴とする請求の範囲第 1 項記載の半導体装置。

【請求項 3】

前記第 2 の半導体領域と前記第 3 の半導体領域が接する場合、前記第 3 の半導体領域の抵抗率が $10^3 \Omega \cdot \text{cm}$ 以上であることを特徴とする請求の範囲第 1 項又は第 2 項記載の半導体装置。

【請求項 4】

前記第 3 の絶縁膜層は、第 1 の開口部と相似形の第 2 の開口部を有する単層あるいは多層から成ることを特徴とする請求の範囲第 1 項記載の半導体装置。

【請求項 5】

上記第 1 の半導体領域はバイポーラトランジスタの一部であることを特徴とする請求の範囲第 1 項から第 4 項記載のいずれかの半導体装置。

【請求項 6】

上記第 2 の半導体領域はバイポーラトランジスタのベース引き出し電極であることを特徴とする請求の範囲第 5 項記載の半導体装置。

【請求項 7】

上記第 1 の半導体領域は M O S (Metal Oxide Semiconductor) 型電界効果トランジスタの一部であることを特徴とする請求の範囲第 1 項から第 3 項記載のいずれかの半導体装置。

【請求項 8】

上記第 1 の半導体領域は抵抗の一部であることを特徴とする請求の範囲第 1 項から第 3 項記載のいずれかの半導体装置。

【請求項 9】

少なくとも増幅アンプと変調器の駆動回路および変調器からなり、入力した電気信号を増幅し、電気信号から光信号へ変換する発光素子を駆動する回路において、

入力した電気信号を増幅する増幅アンプと、

上記増幅アンプの出力を変調器の入力電圧まで増幅するバイポーラトランジスタを有し、

上記バイポーラトランジスタは、

半導体基体上に積層して形成された第 1 の絶縁膜層および第 1 の半導体領域と

上記第 1 の半導体領域上に形成された第 2 の絶縁膜層と、

上記第 2 の絶縁膜層上に形成された、又は上記第 2 の絶縁膜層上に該第 2 の絶縁膜層より薄い単層或いは多層から成る第 3 の絶縁膜層を介して形成された第 2 の半導体領域と、

上記第 2 の半導体領域下面から半導体基体上面までを貫通した溝と、

上記溝の側面内側に接して形成された第 4 の絶縁膜層と、

上記溝の内部に上記第 4 の絶縁膜層および半導体基体に接して形成された第 3 の半導体領域とから構成され、

上記第 2 の半導体領域と第 3 の半導体領域が接するか、または、上記第 2 の絶縁

膜層より薄い第5の絶縁膜層を介して接続されて成る半導体装置により構成されたことを特徴とする回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はSOI (Silicon On Insulator) 基板を用いた半導体装置に係り、特に高速バイポーラ型半導体装置及びその半導体装置により構成された駆動回路に関する。

【0002】

【従来の技術】

SOI 構造の半導体装置の従来例としてバイポーラトランジスタを示す。この種のバイポーラトランジスタとしては、例えば「A-6 μ m² bipolar transistor using 0.25- μ m process technology for high-speed applications」(Bipolar/BiCMOS Circuits and Technology Meeting 1998 proceedings)に開示されるバイポーラトランジスタが知られている。

【0003】

図2に、この従来例に記載されているバイポーラトランジスタの断面図を示す。

【0004】

図2において、参照符号1はシリコン基板、2は埋め込みシリコン酸化膜、3はシリコン層、4はn+型埋め込み層、5はn-型シリコンエピタキシャル成長層、6はフィールド酸化膜、7はn+型コレクタコンタクト拡散層、11は素子間分離シリコン酸化膜、14はp+型多結晶シリコンベース引き出し電極、15、18、22はシリコン酸化膜、16は真性ベース層、17はグラフトベース、19はn+型多結晶シリコンサイドウォール、20はn+型多結晶シリコンエミッタ電極、21は単結晶シリコンエミッタ、23、24、25は金属電極である。

【0005】

また、従来例2として、特開平7-86298に開示された構造の一部を図3に示す。参照符号は図2と共通であり、その以外の符号として、12は多結晶シリ

コン、30はシリコン酸化膜である。

【0006】

【発明が解決しようとする課題】

通常、半導体装置は稼動時に熱を発生している。特に、バイポーラトランジスタでは多量の熱を発生し、その熱をシリコン基板へ放出している。近年では、基板容量低減や相補型MOS混載を目的として、シリコンバルク基板に代えて絶縁膜を基板中に埋め込んだSOI (Silicon On Insulator) 基板を用いられている。図2に示すような従来例はこの好例であるが、埋め込みシリコン酸化膜2はシリコンに比べて熱伝導が約1/100であるため、シリコンバルク基板に比べて、発生した熱が基板へ放熱されづらく、トランジスタ内の温度が上昇する。これにより、トランジスタの電気的特性の変化が著しくなる。

【0007】

特にシリコン・ゲルマニウムをベースに用いたヘテロバイポーラトランジスタでは高温になるほど、電流増幅率の低下が起こる。これは、トランジスタ配置の密度差や使用状態により、トランジスタの電気的特性が異なる現象を示している。そのため、設計した回路において、設計通りの性能が達成できないという問題が生じる。また、トランジスタの高速動作には高電流領域での使用が必要であることから、電流による発熱を防ぐために、トランジスタの高速動作が制限されることになる。このような現象は、ヘテロバイポーラトランジスタだけでなく、SOIを用いたバイポーラトランジスタやSOI構造の大出力のMOS型電界効果トランジスタおよび大電流密度で使用する抵抗等のSOI構造の半導体装置にも当てはまる。

【0008】

この放熱問題を解決する手段として、図3に示した従来例2に開示のバイポーラトランジスタでは、シリコン基板1から埋め込みシリコン酸化膜2、シリコン層3を貫く素子間分離溝内にシリコン酸化膜11と多結晶シリコン12を埋め込んでいる。これにより、発生した熱はシリコン酸化膜11を介して、多結晶シリコン12に流れ、さらにシリコン基板1へと放出される。この場合、放熱の効果を向上させるには、シリコン酸化膜11の膜厚を薄くする必要がある。しかし、このシリコン

酸化膜11を薄くすると、基板容量の素子間分離溝部分で生じる容量が増加する。
なお、この従来例2の構造は特開平7-86298に示されているものの一部であるが、ここでは放熱はシリコン基板を介して行われるのではなく、再度、多結晶シリコンを埋め込んだ溝を介して放熱電極で行われている。

【0009】

本発明の目的は、広く半導体装置において放熱効果を向上させることにある。その中でも特に、基板容量を増加させずに、放熱効果を向上させた高速に動作するバイポーラ型の半導体装置を提供することにある。また、その半導体装置を用いた光伝送システムを提供することも本発明の目的である。

【0010】

【課題を解決するための手段】

本願によって開示される発明の概要を簡単に説明すれば、下記のとおりである。すなわち、本発明に係る半導体装置は、半導体装置内で発生した熱を単結晶あるいは多結晶シリコン層により導出し、その単結晶あるいは多結晶シリコンからシリコン基板へつながる別の単結晶あるいは多結晶シリコンによりシリコン基板へと放出することを特徴とするものである。

【0011】

本願発明のうち代表的なものを簡単に説明すれば、下記のとおりである。

【0012】

バイポーラトランジスタの場合、単結晶あるいは多結晶シリコンのベース引き出し電極が素子間分離溝内に埋め込まれた単結晶あるいは多結晶シリコンと接するか、または、フィールド酸化膜に比べて十分薄い絶縁膜を界面に挿入する構造を有することを特徴とするものである。これにより、トランジスタ真性領域で発生した熱はシリコン酸化膜に比べて100倍程度の熱伝導性を有する単結晶あるいは多結晶シリコンベース引き出し電極を通り、素子間分離溝内の単結晶あるいは多結晶シリコンを介して、シリコン基板へと放出される。

【0013】

この効果と従来の素子間分離溝内側壁の絶縁膜を介した放熱効果を合わせると、エミッタの面積が $0.2 \times 1 \mu\text{m}^2$ 程度で素子間分離溝内側壁のシリコン酸化膜厚

が $0.2\mu\text{m}$ の場合、従来例に比べて、放熱効果は2倍以上になる。この効果は、より微細加工が進んだトランジスタによって顕著になる。つまり真性領域と素子間分離溝との距離が縮小し、ベース引き出し電極での熱抵抗が減少することによる。さらに、素子間分離溝の側壁の表面積が減少するため、該側壁を通過する熱の熱伝導率が低下し、その結果この部分での熱抵抗は増加する。従って、本願構造による放熱効果はさらに向上する。

【0014】

素子間分離溝内に埋め込まれたシリコン酸化膜の膜厚を薄くすることで従来構造においても、放熱効果の向上は可能である。しかし、この膜厚を薄くした場合、このシリコン酸化膜を介してコレクタ領域とシリコン基板との間に発生する基板容量は増加することになる。一方、本願構造では放熱の経路に素子間分離溝内のシリコンを用いていることから、素子間分離溝内に埋め込まれたシリコン酸化膜の膜厚を厚くしても、従来に比べて放熱効果の低下は $1/2$ 以下である。従って、基板容量の増加を抑制しつつ、放熱効果を十分に確保することが可能である。

【0015】

ベース引き出し電極と素子間分離溝内のシリコンが直に接する場合、ベース引き出し電極中の不純物が素子間分離溝内のシリコンへ拡散するが、通常の高性能バイポーラトランジスタ形成プロセスでの熱処理容量による不純物の拡散深さは、多結晶シリコンを用いた場合でも $0.2\mu\text{m}$ 程度とフィールド酸化膜より深くなることは無い。単結晶シリコンを用いた場合は、多結晶シリコンに比べて、拡散深さは浅くなる。この不純物の拡散により生じるベース・コレクタ間の寄生容量の増加量は、全ベース・コレクタ間の寄生容量の3%程度と無視できる値である。

【0016】

また、ベース引き出し電極とシリコン基板間との絶縁性を考えると、素子間分離溝内のシリコンの抵抗値が $1\text{M}\Omega$ 以上であることが必要である。通常、不純物を添加しない多結晶シリコンでは抵抗率は $10^4\Omega\cdot\text{cm}$ 以上であり、単結晶シリコンでも、 $10^3\Omega\cdot\text{cm}$ 以上が可能である。この場合、ベース引き出し電極とシ

リコン基板間の抵抗値は単結晶シリコンを用いても $1\text{ M}\Omega$ 以上を示す。従って、この部分の絶縁性の観点から、素子間分離溝内のシリコンは単結晶あるいは多結晶を用いた場合でも、その抵抗率は $10^3\Omega\cdot\text{cm}$ 以上が望まれる。

【0017】

トランジスタ形成工程の熱処理が通常より多い場合、ベース引き出し電極中の不純物の素子間分離溝内シリコンへの拡散が増加する。このとき、ベース引き出し電極と素子間分離溝内のシリコンの間に薄い絶縁膜を挿入することが必要になる。この場合、絶縁膜の厚さにより放熱効果は変化し、絶縁膜厚が 10 nm になると放熱効果は従来比のほぼ2倍まで低減する。

【0018】

今後、トランジスタに流れる電流密度は2倍まで増加することが予想されることから、放熱効果は現在の2倍は必要である。従って、この絶縁膜厚は 10 nm 以下であることが望ましいと考えられる。

【0019】

MOS型電界効果トランジスタの場合は、ソースまたはドレイン上に形成した単結晶あるいは多結晶シリコン層から素子間分離溝内の単結晶あるいは多結晶シリコンへ放熱を行う。

【0020】

多結晶シリコンで形成された抵抗素子の場合は、抵抗素子から素子間分離溝内のシリコンへ直接放熱させることも可能である。

【0021】

MOS型電界効果トランジスタおよび抵抗素子の場合も、バイポーラトランジスタで説明したのと同様の効果がある。

【0022】

【発明の実施の形態】

次に、本発明に係る半導体装置及びその製造方法の好適な実施の形態につき、具体的な実施例を用いて添付図面を参照しながら以下詳細に説明する。

<実施例1>

図1に、本発明に係る半導体装置の第1の実施例の断面図を示す。

【 0 0 2 3 】

図 1 において、参照符号 1 はシリコン基板、2 は埋め込みシリコン酸化膜、3 は単結晶シリコン層、4 は n+ 型埋め込み層、5 は n- 型シリコンエピタキシャル成長層、6 はフィールド酸化膜、7 は n+ 型コレクタコンタクト拡散層、9、13、15、18、22 はシリコン酸化膜、11 は素子間分離シリコン酸化膜、12 は単結晶あるいは多結晶シリコン、14 は p+ 型多結晶シリコンベース引き出し電極、16 は真性ベース層、17 はグラフトベース、19 は n+ 型多結晶シリコンサイドウォール、20 は n+ 型多結晶シリコンエミッタ電極、21 は単結晶シリコンエミッタ、23、24、25 はそれぞれエミッタ、ベース、コレクタの金属電極である。

【 0 0 2 4 】

本実施例の図 1 の構造を有するバイポーラ型の半導体装置の製造方法を、図 4 から図 8 を用いて、以下、工程順に説明する。

【 0 0 2 5 】

先ず、図 4 に示した構造を形成する工程から説明する。

【 0 0 2 6 】

シリコン基板 1 の表面を酸化し、膜厚 0.3 から 0.5 μ m 程度のシリコン酸化膜 2 を形成する。この表面にシリコン層 3 を加熱して接合させ、このシリコン層 3 が厚さ 1 μ m 程度まで研磨を行う。

【 0 0 2 7 】

次に、シリコン層 3 中にベース層形成予定領域からコレクタ電極形成予定領域までを露出させたホトレジストマスクを用いて、n 型不純物をイオン注入法により導入し、熱拡散により n+ 型コレクタ埋込層 4 を形成した後、シリコンエピタキシャル成長により n- 型コレクタ層 5 を形成する。

【 0 0 2 8 】

その後、ベース層およびコレクタ電極領域以外の n- 型コレクタ層 5 表面を LOCOS (Local Oxidation of Silicon) 法を用いて膜厚 0.4 μ m 程度のシリコン酸化膜 6 を形成する。または、ベース層およびコレクタ電極領域以外の n- 型コレクタ層 5 をドライエッチング法にて 0.4 μ m 程度掘り込み、シリコン酸化膜を CVD (Chemical Vapor Deposition) 法により堆積した後、CMP (Chemical Mechanical Polish)

hing)法を用いてシリコン酸化膜6を埋め込むことによって形成しても良い。

【0029】

その後、コレクタ電極形成領域のみに高濃度のn型不純物をイオン注入し、熱拡散を行い、コレクタコンタクト拡散層7を形成し、酸化により真性領域表面にシリコン酸化膜8とコレクタコンタクト拡散層表面にシリコン酸化膜9を形成し、全面にシリコン窒化膜10を形成すれば、図4に示す構造が得られる。

【0030】

次に図5の構造を得るために、n+型コレクタ埋込層4周囲を幅 $0.6\mu\text{m}$ 程度の溝状の開口を有するホトレジストマスクを用いて、シリコン酸化膜6からシリコン基板1まで溝を形成し、全面に厚さ $0.2\mu\text{m}$ 程度のシリコン酸化膜11を形成する。

【0031】

次に、ドライエッチングにより、溝内にシリコン酸化膜のサイドウォール11を形成する。さらに全面に $0.4\mu\text{m}$ 程度の多結晶シリコン12を形成し、表面に露出した多結晶シリコンをドライエッチングを除去し溝内に多結晶シリコン12を埋め込む。あるいは、選択エピタキシャル成長法を用いて、溝下端のシリコン基板表面から単結晶シリコン12を成長し、溝内を埋め込んでも良い。

【0032】

次に、単結晶あるいは多結晶シリコン12を酸化し、シリコン酸化膜8より 10nm 程度厚いシリコン酸化膜13を形成する。シリコン酸化膜8をウェットエッチングにて除去すると、シリコン酸化膜13の膜厚は 10nm 以下となる。この後、膜厚 $0.2\mu\text{m}$ のp+型多結晶シリコン層14を堆積すると単結晶あるいは多結晶シリコン12とp+型多結晶シリコン層14との間には、 10nm 以下のシリコン酸化膜13が存在することになる。このp+型多結晶シリコン層14は多結晶シリコンを堆積後、p型不純物をイオン打ち込みを行うことで形成しても良い。

【0033】

さらに、膜厚 $0.2\mu\text{m}$ のシリコン酸化膜15を形成すると図6の構造を得る。

【0034】

次に、ベース形成領域を開口したホトレジストマスクを用いて、シリコン酸化膜15、p+型多結晶シリコン層14をドライエッチングにより開口し、この開口部に

ボロンをイオン注入し、熱処理を行うことで、真性ベース層16と、p+型多結晶シリコン層14からのボロン拡散によりグラフトベース17が形成され、図7に示す構造が得られる。

【0035】

次に、膜厚30nmのシリコン酸化膜18、膜厚0.1 μ mのn+型多結晶シリコン19を連続して堆積し、ドライエッチングによりn+型多結晶シリコンのサイドウォール19を形成し、シリコン酸化膜18を真性ベース層16が露出するまでフッ酸水溶液にてエッチングし、膜厚0.2 μ mのn+型多結晶シリコン20を堆積する。エミッタ開口部を覆うパターンのレジストマスクを用いてドライエッチングし、多結晶シリコンエミッタ電極20を形成する。次に、900℃、30秒程度の熱処理を行い、多結晶シリコンエミッタ電極20よりn型不純物を真性ベース層16表面に拡散し、エミッタ領域21を形成する。

【0036】

続いてシリコン酸化膜15をエッチングし、さらにp+型多結晶シリコンベース引き出し電極14をベース領域周辺からベース電極までの範囲のパターンを有するレジストマスクを用いて、ドライエッチングしベース多結晶シリコンベース引き出し電極14を形成すると図8に示した構造が得られる。

【0037】

次に、シリコン酸化膜22を堆積し、平坦化を行う。エミッタ、ベース、コレクタが開口したホトレジストマスクを用いてシリコン酸化膜22をドライエッチングにより開口する。

【0038】

最後に、開口部分にタングステンを埋め込み、エミッタ電極23、ベース電極24、コレクタ電極25を形成することにより図1に示した本実施例の半導体装置の構造を得ることができる。

【0039】

この構造により真性ベース層16付近で発生した熱をp+型多結晶シリコンベース引き出し電極14と単結晶あるいは多結晶シリコン12によりシリコン基板1へと放出することが可能となり、従来構造に比べて、放熱効果が2倍以上になる。その

ため、低基板容量を目的としたSOI構造の高速バイポーラトランジスタにおいても高電流領域まで動作が可能となる。

<実施例2>

図9に、本発明に係る半導体装置の第2の実施例の断面図を示す。

【0040】

図9において、図1に示した構造部分と同一の構成部分には同一の参照符号を付して、説明の便宜上、その詳細な説明は省略する（これ以降の実施例においても同様である）。本実施例において、図1との違いはシリコン酸化膜13が無いことである。これは放熱効果の向上を目的としたものである。

【0041】

本実施例の製造方法は、第1の実施例で図5の単結晶あるいは多結晶シリコン12を素子間分離溝内に埋め込むところまでは同じである。

【0042】

第1の実施例では、この単結晶あるいは多結晶シリコン12を酸化し、シリコン酸化膜13を形成したが、本実施例ではこの酸化は行わない。この後、p+型多結晶シリコン層14の形成方法以降は第1の実施例の製造法と全く同じである。このように製造すると図9に示す構造となる。

【0043】

本実施例は通常の高性能バイポーラトランジスタ形成プロセスにおいて適用可能である。それは先に説明したように、高性能バイポーラトランジスタ形成プロセス熱容量からすると、素子分離溝内シリコンへの不純物拡散深さは、素子分離溝内シリコンに多結晶シリコンを用いた場合でも $0.2\mu\text{m}$ 程度とフィールド酸化膜より深くなることは無く、その影響も無視できる範囲内である。

【0044】

この構造では、p+型多結晶シリコン層14が単結晶あるいは多結晶シリコン12と直に接することから、第1の実施例に比べて、20%以上放熱効果が向上する。これにより、より高電流領域まで動作が可能となる。また、第1の実施例に比べて酸化工程を減らせ、製造工程の短縮が可能になる。

＜実施例 3＞

図10から図11に、本発明に係る半導体装置及びその製造方法の第3の実施例の断面図を示す。本実施例のバイポーラ型の半導体装置では、参照符号40で示したシリコン酸化膜および41のチタンシリサイド層が設けられている点が、図1の構成と相違する。シリコン酸化膜40は、相補型MOS型電界効果トランジスタ、多結晶シリコンを用いた抵抗等の半導体装置を本バイポーラトランジスタと同一ウェハ上に形成する場合、それらの保護膜として機能する。チタンシリサイド層41はエミッタ、ベースおよびコレクタの各金属電極と導通する各半導体層との接触抵抗低減を目的としたものである。

【0045】

以下、本実施例の半導体装置の製造方法について説明する。

【0046】

本実施例の製造方法は、第1の実施例で図4のコレクタコンタクト拡散層7を形成するところまでは同じである。その後、相補型MOS型トランジスタ、多結晶シリコンを用いた抵抗等の半導体装置を形成しても良い。これらの半導体装置を形成後、全面にシリコン酸化膜40を形成する。

【0047】

次に、n+型コレクタ埋込層4周囲を幅 $0.6\mu\text{m}$ 程度の溝状の開口を有するホトレジストマスクを用いて、シリコン酸化膜40からシリコン基板1までの溝を形成し、全面に厚さ $0.2\mu\text{m}$ 程度のシリコン酸化膜11を形成する。次に、ドライエッチングにより、溝内にシリコン酸化膜のサイドウォール11を形成する。さらに全面に $0.4\mu\text{m}$ 程度の多結晶シリコン12を形成し、表面に露出した多結晶シリコンをドライエッチングを除去し溝内に多結晶シリコン12を埋め込む。あるいは、選択エピタキシャル成長法を用いて、溝下端のシリコン基板表面から単結晶シリコン12を成長し、溝内を埋め込んでも良い。ここで単結晶あるいは多結晶シリコン12を酸化し、膜厚 10nm 以下のシリコン酸化膜13を形成する。ここで、第2の実施例のように、シリコン酸化膜13は形成しないことも可能である。その後、真性領域を開口させるホトレジストマスクを用いて、シリコン酸化膜40をドライエッ

チングまたはウェットエッチングにより加工すると図11の構造を得る。

【0048】

これ以降の製造方法は第1の実施例の製造方法を説明する図6から図8までと同じである。

【0049】

次に、シリコン酸化膜40のコレクタコンタクト拡散層5上をホトレジストマスクを用いてドライエッチングにより開口する。全面にチタンを蒸着し、熱処理を行うことにより、多結晶シリコンエミッタ電極20、p+型多結晶シリコンベース引き出し電極14の一部、コレクタコンタクト拡散層5の各表面上にチタンシリサイド層41を形成し、それ以外の部分のチタンを除去する。このとき、他の半導体装置上のシリコン酸化膜40を開口し、チタンシリサイド層を形成することも可能である。

【0050】

その後、シリコン酸化膜22を堆積し、平坦化を行う。エミッタ、ベース、コレクタが開口したホトレジストマスクを用いてシリコン酸化膜22をドライエッチングにより開口する。

【0051】

最後に、開口部分にタングステンを埋め込み、エミッタ電極23、ベース電極24、コレクタ電極25を形成することにより図10に示した本実施例の半導体装置の構造を得ることができる。

【0052】

このような構造を有する本実施例の半導体装置は、SOI構造の低寄生容量の高電流まで動作可能な高速バイポーラトランジスタと、SOI構造の低寄生容量の高性能相補型MOS型電界効果トランジスタ、さらには抵抗等の他の半導体装置を同一ウェハ上に混載可能である。このため、第1の実施例に比べて、多機能で高速で動作し、低消費電力な回路構成が形成可能となる。

【0053】

また、エミッタ金属電極23と多結晶シリコンエミッタ電極20、ベース金属電極24とp+型多結晶シリコンベース引き出し電極14、コレクタ金属電極25とコレクタ

コンタクト拡散層7との接触抵抗は第1の実施例に比べて1/10と、大幅に低減することができるため、トランジスタの寄生抵抗低減が可能である。

<実施例4>

図12から図17に、本発明に係る半導体装置及びその製造方法の第4の実施例の断面図を示す。本実施例は真性ベースをシリコン・ゲルマニウムにより形成している。参照符号50はシリコン酸化膜、51はシリコン窒化膜、53は単結晶シリコン・ゲルマニウムコレクタ層、54はp+型単結晶シリコン・ゲルマニウムベース層、55は単結晶シリコン層、56はp+型多結晶シリコン・ゲルマニウム層である。それ以外は第1の実施例と同じである。

【0054】

本実施例の製造方法は、第1の実施例で図4のコレクタコンタクト拡散層7を形成するところまでは同じである。その後、相補型MOS型トランジスタ、多結晶シリコンを用いた抵抗等の半導体装置を形成しても良い。これらの半導体装置を形成後、全面にシリコン酸化膜50、シリコン窒化膜51を形成すると、図13に示す構造になる。

【0055】

次に、n+型コレクタ埋込層4周囲を幅 $0.6\mu\text{m}$ 程度の溝状の開口を有するホトレジストマスクを用いて、シリコン窒化膜51からシリコン基板1までの溝を形成し、全面に厚さ $0.2\mu\text{m}$ 程度のシリコン酸化膜11を形成する。次に、ドライエッチングにより、溝内にシリコン酸化膜のサイドウォール11を形成する。さらに全面に $0.4\mu\text{m}$ 程度の多結晶シリコン12を形成し、表面に露出した多結晶シリコンをドライエッチングを除去し溝内に多結晶シリコン12を埋め込む。あるいは、選択エピタキシャル成長法を用いて、溝下端のシリコン基板表面から単結晶シリコン12を成長し、溝内を埋め込んでも良い。ここで単結晶あるいは多結晶シリコン12を酸化し、膜厚 10nm 以下のシリコン酸化膜13を形成すると図14の構造を得る。ここで、第2の実施例のように、シリコン酸化膜13は形成しないことも可能である。

【0056】

次に、膜厚 $0.2\mu\text{m}$ のp+型多結晶シリコン層14を形成する。このp+型多結晶シリコン層14は多結晶シリコンを堆積後、p型不純物をイオン打ち込みを行うことで形成しても良い。さらに、膜厚 $0.2\mu\text{m}$ のシリコン酸化膜15を形成した後、ベース形成領域を開口したホトレジストマスクを用いて、シリコン酸化膜15、p+型多結晶シリコン層14をドライエッチングにより開口する。全面に膜厚 $0.1\mu\text{m}$ シリコン酸化膜52を堆積し、ドライエッチングによりシリコン酸化膜のサイドウォール52を形成する。さらに、熱燐酸によりシリコン窒化膜51をサイドエッチングし、p+型多結晶シリコン層14下面を端から $0.1\mu\text{m}$ 程度露出させる。この後、シリコン酸化膜50を除去すると図15の構造となる。

【0057】

次に、選択成長法により、単結晶シリコン・ゲルマニウム層53、p+型単結晶シリコン・ゲルマニウム層54、単結晶シリコン層55を連続して形成する。同時に、p+型多結晶シリコン・ゲルマニウムグラフトベース56をp+型多結晶シリコン層14とシリコン窒化膜51から形成し、p+型多結晶シリコン・ゲルマニウムグラフトベース56とp+型単結晶シリコン・ゲルマニウム層54を接続させる。これにより、図16に示した構造が得られる。

【0058】

次に、シリコン酸化膜サイドウォール52を除去した後、膜厚 30nm のシリコン酸化膜18、膜厚 $0.1\mu\text{m}$ のn+型多結晶シリコン19を連続して堆積し、ドライエッチングによりn+型多結晶シリコンのサイドウォール19を形成し、シリコン酸化膜18を図1などに示す真性ベース層16に相当するp+型単結晶シリコン・ゲルマニウム層54、又は単結晶シリコン層55が露出するまでフッ酸水溶液にてエッチングし、膜厚 $0.2\mu\text{m}$ のn+型多結晶シリコン20を堆積する。エミッタ開口部を覆うパターンのレジストマスクを用いてドライエッチングし、多結晶シリコンエミッタ電極20を形成する。次に、 900°C 、30秒程度の熱処理を行い、多結晶シリコンエミッタ電極20よりn型不純物を単結晶シリコン層55表面に拡散し、エミッタ領域21を形成する。

【0059】

図17以降の製造方法は第3の実施例と同じであり、それにより、図12に示した

本実施例の半導体装置の構造を得ることができる。

【0060】

このような構造を有する本実施例の半導体装置は、真性ベースを単結晶シリコン・ゲルマニウムの選択成長法により形成しているため、ベース幅を薄く、かつ不純物を高濃度化でき、さらに、ベース・コレクタ接合領域を低減できるため、第1から第3の実施例に比べて、2倍以上の高速かつ低消費電力のバイポーラトランジスタが形成可能となる。また、他の半導体装置をシリコン酸化膜50とシリコン窒化膜51により保護が可能のため、SOI構造の相補型MOS型電界効果トランジスタおよび多結晶シリコンを用いた抵抗等の他の半導体装置を同一ウェハ上に混載できる。

<実施例5>

図18から図23に、本発明に係る半導体装置及びその製造方法の第5の実施例の断面図を示す。本実施例は第4の実施例と同様に真性ベースをシリコン・ゲルマニウムにより形成している。参照符号60はシリコン酸化膜、61は単結晶シリコン層、62はシリコン窒化膜、それ以外は第4の実施例と同じである。

【0061】

本実施例の製造方法は、第1の実施例で図4のコレクタコンタクト拡散層7を形成するところまでは同じである。その後、相補型MOS型トランジスタ、多結晶シリコンを用いた抵抗等の半導体装置を形成しても良い。これらの半導体装置を形成後、全面にシリコン酸化膜60を形成すると、図19に示す構造になる。

【0062】

次に、n+型コレクタ埋込層4周囲を幅 $0.6\mu\text{m}$ 程度の溝状の開口を有するホトレジストマスクを用いて、シリコン酸化膜60からシリコン基板1までの溝を形成し、全面に厚さ $0.2\mu\text{m}$ 程度のシリコン酸化膜11を形成する。次に、ドライエッチングにより、溝内にシリコン酸化膜のサイドウォール11を形成する。さらに全面に $0.4\mu\text{m}$ 程度の多結晶シリコン12を形成し、表面に露出した多結晶シリコンをドライエッチングを除去し溝内に多結晶シリコン12を埋め込む。あるいは、選択エピタキシャル成長法を用いて、溝下端のシリコン基板表面から単結晶シリコン

12を成長させ、溝内を埋め込んでも良い。その後、膜厚30nm程度の多結晶シリコン層61およびシリコン窒化膜62を堆積すると図20に示す構造になる。

【0063】

次に、膜厚0.2 μ mのp+型多結晶シリコン層14を形成する。このp+型多結晶シリコン層14は多結晶シリコンを堆積後、p型不純物をイオン打ち込みを行うことで形成しても良い。

【0064】

さらに、膜厚0.2 μ mのシリコン酸化膜15を形成した後、ベース形成領域を開口したホトレジストマスクを用いて、シリコン酸化膜15、p+型多結晶シリコン層14をドライエッチングにより開口する。全面に膜厚0.1 μ mシリコン酸化膜52を堆積し、ドライエッチングによりシリコン酸化膜のサイドウォール52を形成する。このとき、シリコン窒化膜62までエッチングを行う。その後、多結晶シリコン層61を0.2 μ m程度サイドエッチングし、シリコン酸化膜60をフッ酸水溶液でウェットエッチングで除去する。さらに、熱リン酸によりシリコン窒化膜62をエッチングし、p+型多結晶シリコン層14下面を端から0.1 μ m程度露出させると図21の構造となる。

【0065】

次に、選択成長法により、単結晶シリコン・ゲルマニウム層53、p+型単結晶シリコン・ゲルマニウム層54、単結晶シリコン層55を連続して形成する。同時に、p+型多結晶シリコン・ゲルマニウムグラフトベース56をp+型多結晶シリコン層14と多結晶シリコン61とシリコン窒化膜62から形成し、p+型多結晶シリコン・ゲルマニウムグラフトベース56とp+型単結晶シリコン・ゲルマニウム層54を接続させる。これにより、図22に示した構造が得られる。

【0066】

次に、シリコン酸化膜サイドウォール52を除去した後、膜厚30nmのシリコン酸化膜18、膜厚0.1 μ mのn+型多結晶シリコン19を連続して堆積し、ドライエッチングによりn+型多結晶シリコンのサイドウォール19を形成し、シリコン酸化膜18を図1などに示す真性ベース層16に相当するp+型単結晶シリコン・ゲルマニウム層54、又は単結晶シリコン層55が露出するまでフッ酸水溶液にてエッチング

し、膜厚 $0.2\mu\text{m}$ のn+型多結晶シリコン20を堆積する。エミッタ開口部を覆うパターンのレジストマスクを用いてドライエッチングし、多結晶シリコンエミッタ電極20を形成する。次に、 900°C 、30秒程度の熱処理を行い、多結晶シリコンエミッタ電極20よりn型不純物を単結晶シリコン層55表面に拡散し、エミッタ領域21を形成する。

【0067】

図23以降の製造方法は第4の実施例と同じであり、それにより、図18に示した本実施例の半導体装置の構造を得ることができる。

【0068】

このような構造を有する本実施例の半導体装置は、真性ベースを単結晶シリコン・ゲルマニウムの選択成長法により形成しているため、第4の実施例と同様な高速かつ低消費電力のトランジスタが形成可能となる。また、多結晶シリコン61を用いることにより、第4の実施例でp+型多結晶シリコン・ゲルマニウムグラフトベース56中に形成されやすい空洞の発生を防ぎ、トランジスタ特性のばらつき低減および信頼性の向上が可能となる。

<実施例6>

図24に、本発明に係る半導体装置の第6の実施例の断面図を示す。本実施例はMOS型電界効果トランジスタに係るものである。参照符号70はゲート酸化膜、71はゲート、72はシリコン酸化膜サイドウォール、73、74はソース・ドレイン、75、76はソース・ドレイン多結晶半導体電極、77、78はソース・ドレイン金属電極、それ以外は第1の実施例と同じである。なお、シリコン酸化膜13は存在しなくても良い。

【0069】

このような構造を有する本実施例の半導体装置は、ソースあるいはドレイン73、74からソース・ドレイン多結晶半導体電極75、76へ放熱し、さらに溝内の単結晶あるいは多結晶シリコン12を経て、シリコン基板1へと放出される。この構造により、従来に比べて放熱効果は2倍以上になり、より高電流動作が可能となる。

＜実施例 7＞

図25に、本発明に係る半導体装置の第7の実施例の断面図を示す。本実施例は多結晶シリコン抵抗に係るものである。参照符号80は多結晶シリコン抵抗、81、82は金属電極、それ以外は第1の実施例と同じである。なお、シリコン酸化膜13は存在しなくても良い。

【0070】

このような構造を有する本実施例の半導体装置は、多結晶シリコン抵抗80から溝内の単結晶あるいは多結晶シリコン12を経て、シリコン基板1へと放出される。この構造により、従来に比べて放熱効果は2倍以上になり、より高電流密度領域での使用が可能となる。また、溝はその加工寸法が許す限り、多結晶シリコン抵抗80の下部領域に配置しても良い。これにより、さらに放熱効果は増大する。

＜実施例 8＞

図26は光伝送システムにおけるレーザーダイオード変調器のドライバの回路構成を示す図であり、第8の実施例である。本実施例は実施例1～7で述べたいずれかの本発明に係る半導体装置を用いて高性能化が達成できる回路構成を示している。周知のとおり、光伝送システムは10Gbps以上の高速伝送が必要であり、その変調器ドライバには高速動作が要求されるものである。

【0071】

本実施例において、参照符号103、104は本発明の上記実施例1～7のいずれかに従って製造された半導体装置、105は抵抗、106は電流源、102は増幅アンプ部、101は入力端子、107はアース端子、108は101の半導体装置のバイアス電圧入力端子、109は変調器、110はレーザーダイオードである。

【0072】

入力端子101へ前段の回路から10Gbps以上の信号を入力し、増幅アンプ部102では半導体装置103のバイアス電圧まで増幅する。この信号を半導体装置103のバイアス入力を介してさらに増幅し、増幅した出力が得られる。この出力電

圧により変調器109を駆動し、さらに、レーザーダイオード110を変調させ、光信号を発振する。

【 0 0 7 3 】

なお、増幅アンプ部102および電流源106は本発明の上記実施例 1 ～ 7 のいずれかに従って製造した半導体装置を用いて構成されても良い。

【 0 0 7 4 】

【発明の効果】

前述した実施例から明らかなように、本発明に係る半導体装置によれば、放熱効果は従来に比べて2倍以上になる。特に、バイポーラトランジスタの場合、基板容量を増加させることなく、放熱効果の向上が可能である。これにより、信頼性が高く高速に動作するトランジスタが得られ、さらに、このトランジスタを用いた10Gbps以上で動作する光伝送システムのレーザーダイオード変調器のドライバの動作が可能となる。

【図面の簡単な説明】

【図1】

本発明に係る半導体装置の第1の実施例を示す断面図である。

【図2】

第1の従来のバイポーラトランジスタの構成を示す断面図である。

【図3】

第2の従来のバイポーラトランジスタの構成を示す断面図である。

【図4】

図1に示した半導体装置の製造方法を工程順に示す最初の製造工程の断面図である。

【図5】

図4に示した製造工程の次の工程を示す断面図である。

【図6】

図5に示した製造工程の次の工程を示す断面図である。

【図7】

図6に示した製造工程の次の工程を示す断面図である。

【図 8】

図 7 に示した製造工程の次の工程を示す断面図である。

【図 9】

本発明に係る半導体装置の第 2 の実施例を示す断面図である。

【図 1 0】

本発明に係る半導体装置の第 3 の実施例を示す断面図である。

【図 1 1】

図 9 に示した半導体装置の製造方法を工程順に示す最初の製造工程の断面図である。

【図 1 2】

本発明に係る半導体装置の第 4 の実施例を示す断面図である。

【図 1 3】

図 1 2 に示した半導体装置の製造方法を工程順に示す最初の製造工程の断面図である。

【図 1 4】

図 1 3 に示した製造工程の次の工程を示す断面図である。

【図 1 5】

図 1 4 に示した製造工程の次の工程を示す断面図である。

【図 1 6】

図 1 5 に示した製造工程の次の工程を示す断面図である。

【図 1 7】

図 1 6 に示した製造工程の次の工程を示す断面図である。

【図 1 8】

本発明に係る半導体装置の第 5 の実施例を示す断面図である。

【図 1 9】

図 1 8 に示した半導体装置の製造方法を工程順に示す最初の製造工程の断面図である。

【図 2 0】

図 1 9 に示した製造工程の次の工程を示す断面図である。

【図 2 1】

図 2 0 に示した製造工程の次の工程を示す断面図である。

【図 2 2】

図 2 1 に示した製造工程の次の工程を示す断面図である。

【図 2 3】

図 2 2 に示した製造工程の次の工程を示す断面図である。

【図 2 4】

本発明に係る半導体装置の第 6 の実施例を示す断面図である。

【図 2 5】

本発明に係る半導体装置の第 7 の実施例を示す断面図である。

【図 2 6】

本発明に係る半導体装置の第 8 の実施例を示す回路図であり、光伝送システムのレーザーダイオード変調器ドライバ回路に適用する場合である。

【符号の説明】

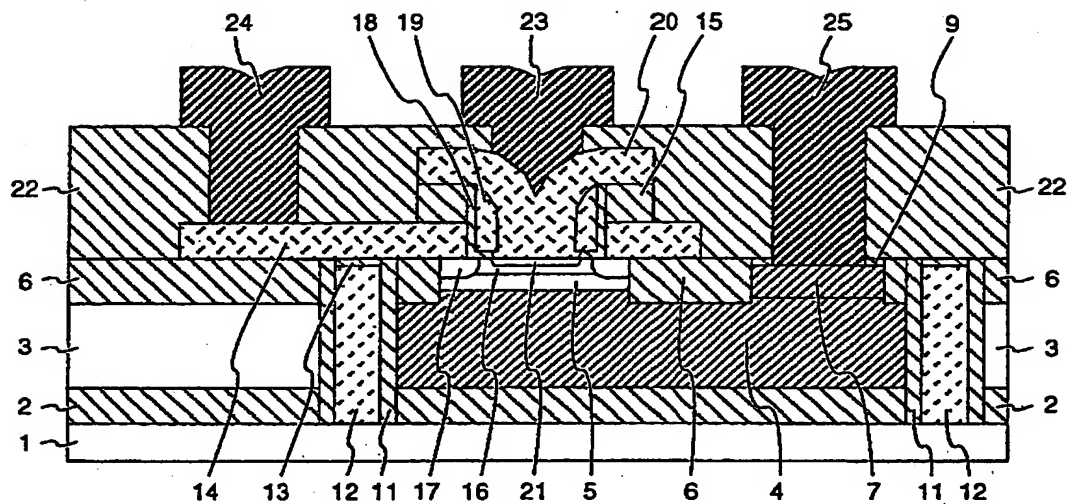
1…シリコン基板、2…埋め込みシリコン酸化膜、3…単結晶シリコン層、4…n+型埋め込み層、5…n-型シリコンエピタキシャル成長層、6…フィールド酸化膜、7…n+型コレクタコンタクト拡散層、8、9、13、15、18、22…シリコン酸化膜、10…シリコン窒化膜、11…素子間分離シリコン酸化膜、12…単結晶あるいは多結晶シリコン、14…p+型多結晶シリコンベース引き出し電極、16…真性ベース層、17…グラフトベース、19…n+型多結晶シリコンサイドウォール、20…n+型多結晶シリコンエミッタ電極、21…単結晶シリコンエミッタ、23…エミッタ金属電極、24…ベース金属電極、25…コレクタ金属電極、40、50、60…シリコン酸化膜、41…チタンシリサイド層、51、62…シリコン窒化膜、52…シリコン酸化膜サイドウォール、53…単結晶シリコン・ゲルマニウムコレクタ層、54…p+型単結晶シリコン・ゲルマニウムベース層、55…単結晶シリコン層、56…p+型多結晶シリコン・ゲルマニウム層、61…多結晶シリコン層、70…ゲート酸化膜、71…ゲート、72…シリコン酸化膜サイドウォール、73、74…ソース・ドレイン、75、76…ソース・ドレイン多結晶半導体電極、77、78…ソース・ドレイン金属電極、80…多結晶シリコン抵抗、81、82…金属電極、101…入力端子、102…増幅アンプ部、104…ト

ランジスタ、105…抵抗、106…電流源、107…アース端子、108…トランジスタの
バイアス電圧入力端子、109…変調器、110…レーザーダイオード。

【書類名】 図面

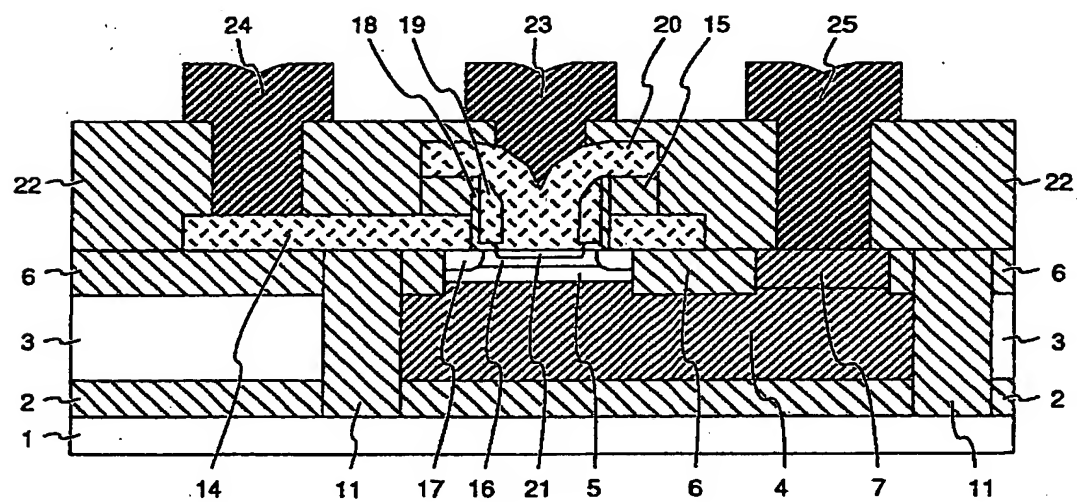
【図 1】

図 1



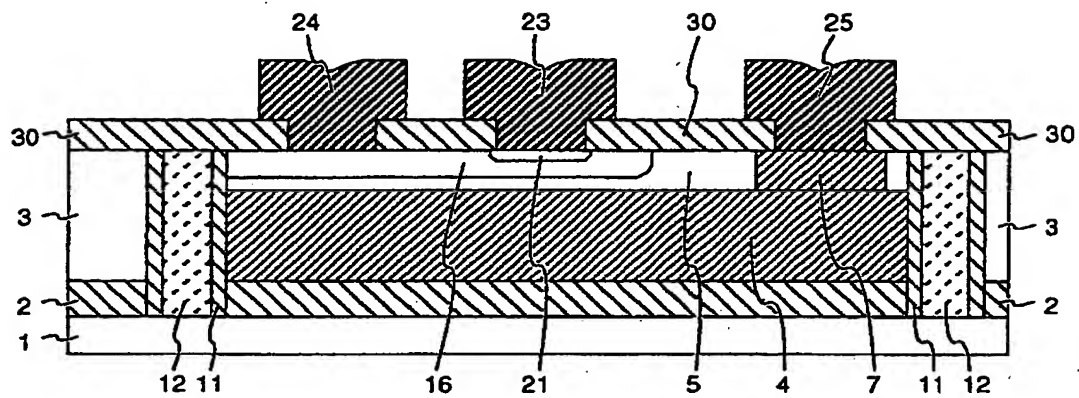
【図 2】

図 2



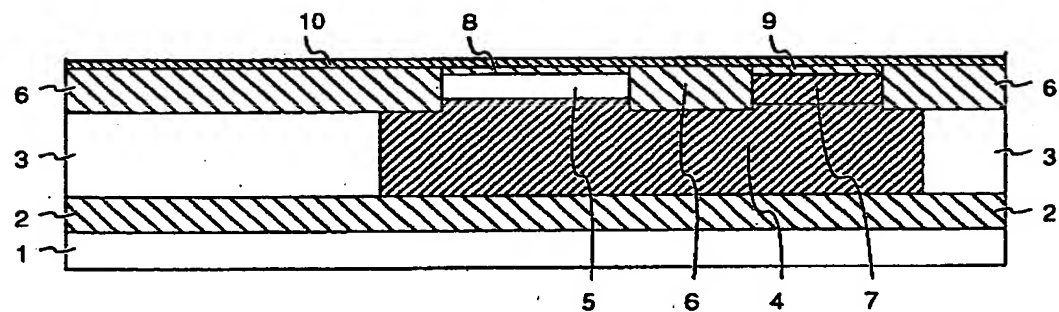
【図 3】

図 3



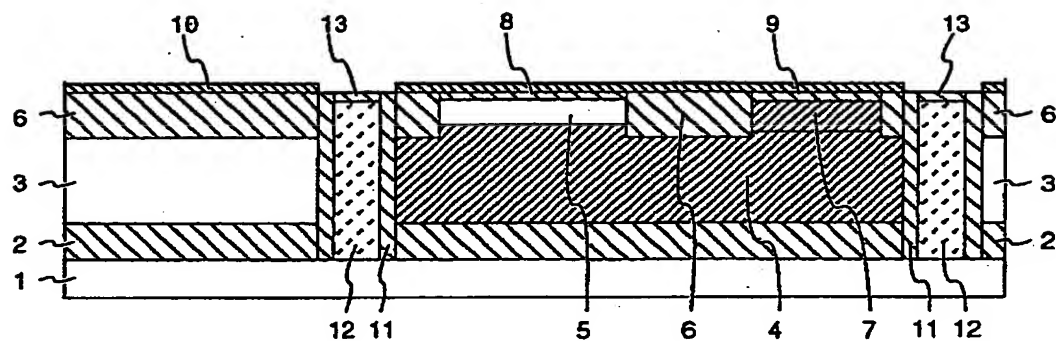
【図 4】

図 4



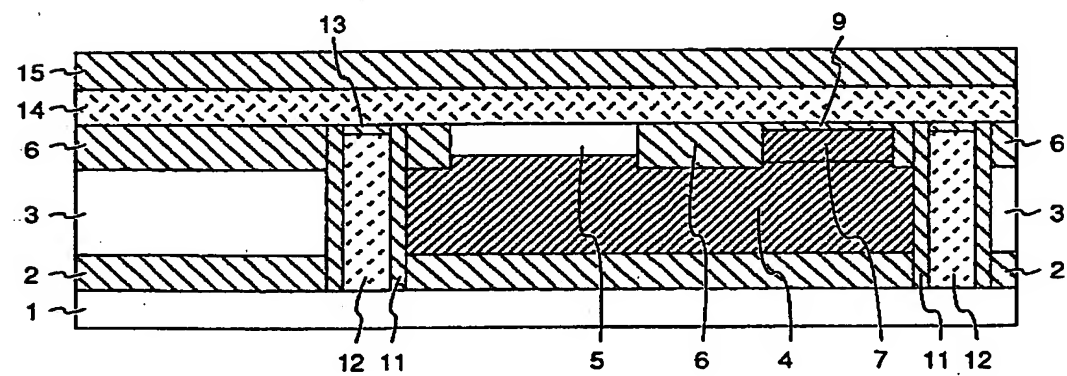
【図 5】

図 5



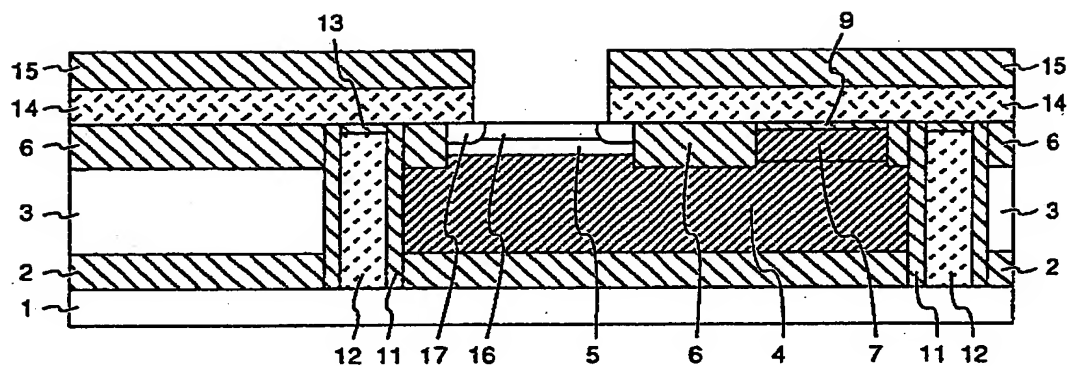
【図 6】

図 6



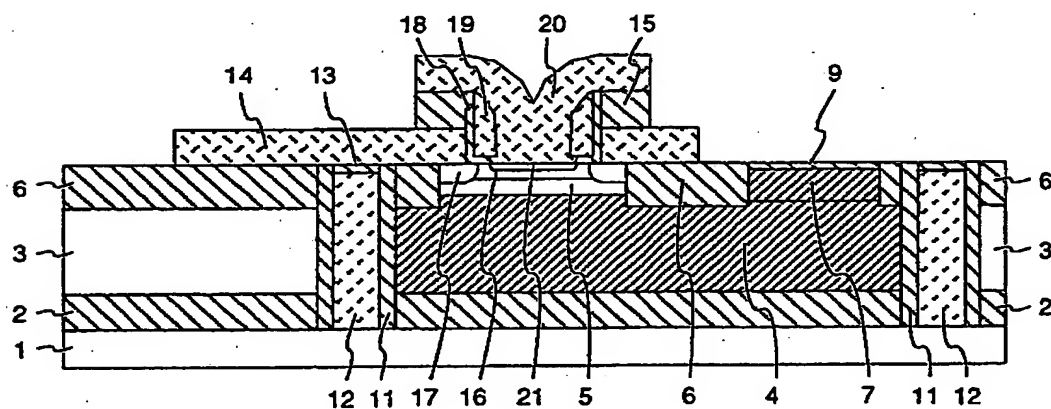
【図 7】

図 7



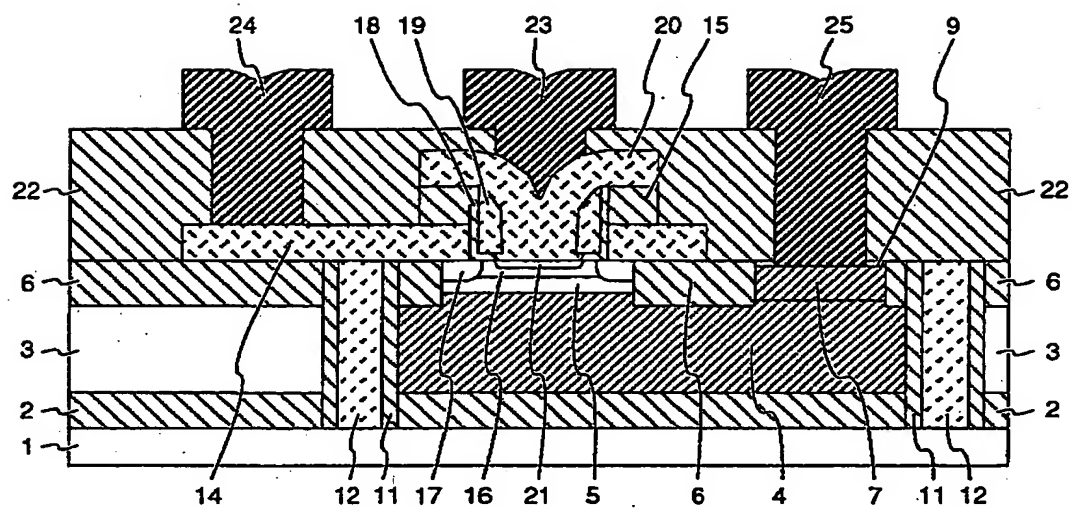
【図 8】

図 8



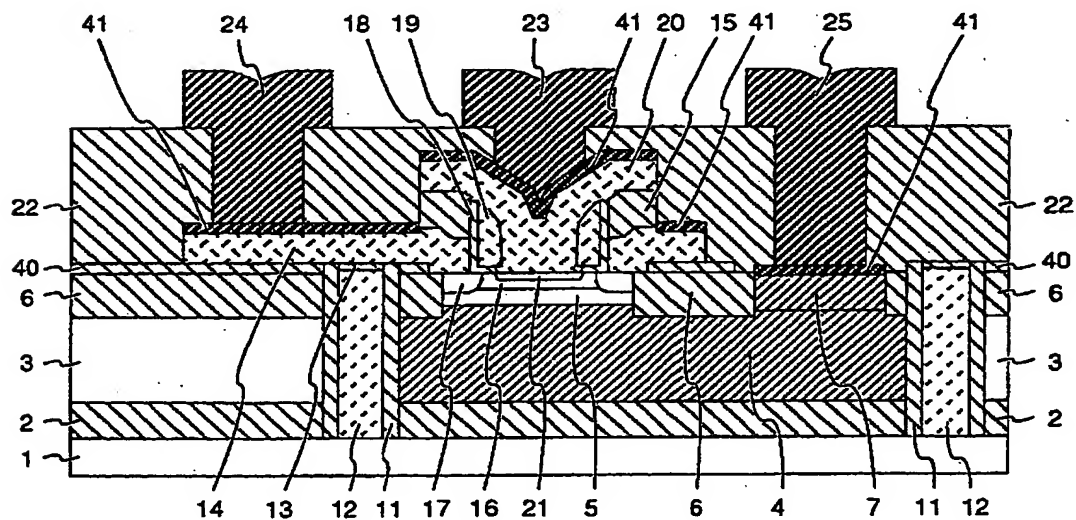
【図 9】

図 9



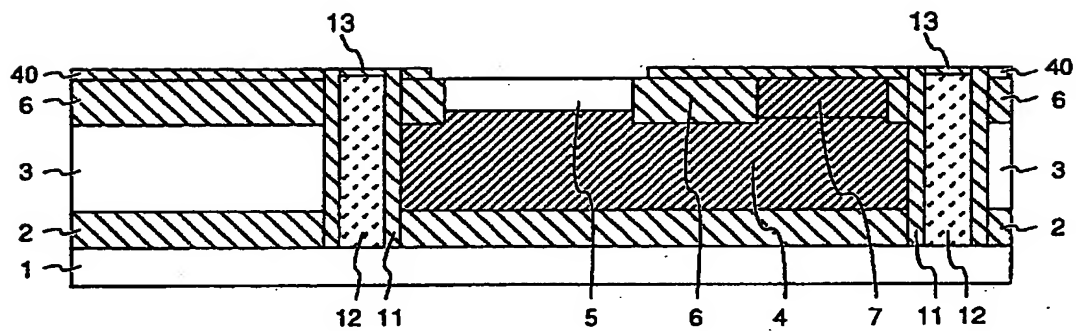
【図 10】

図 10



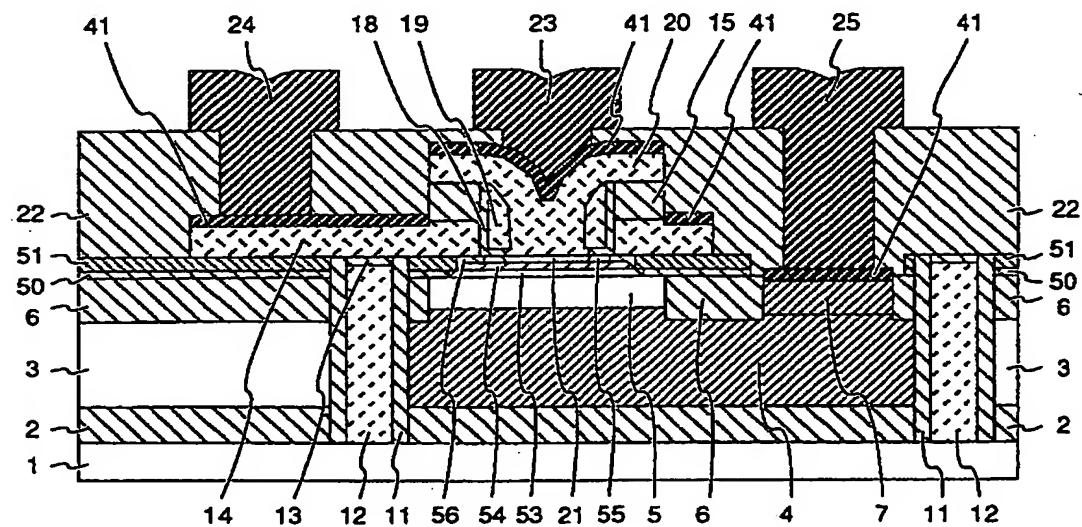
【図 1 1】

圖 11



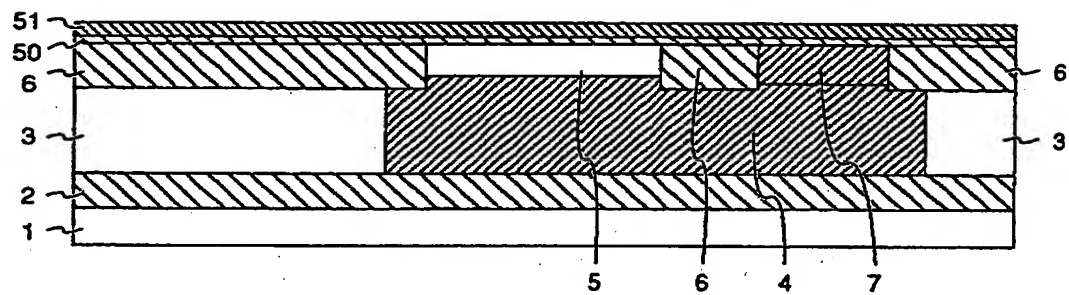
【図 12】

圖 12



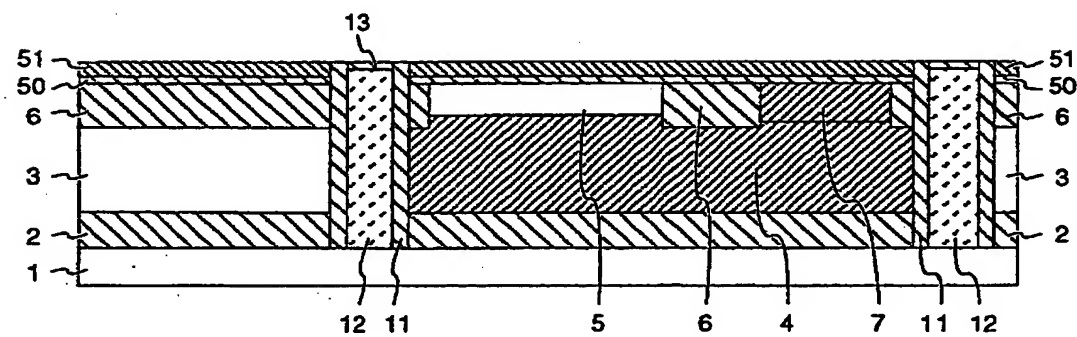
【図 13】

図 13



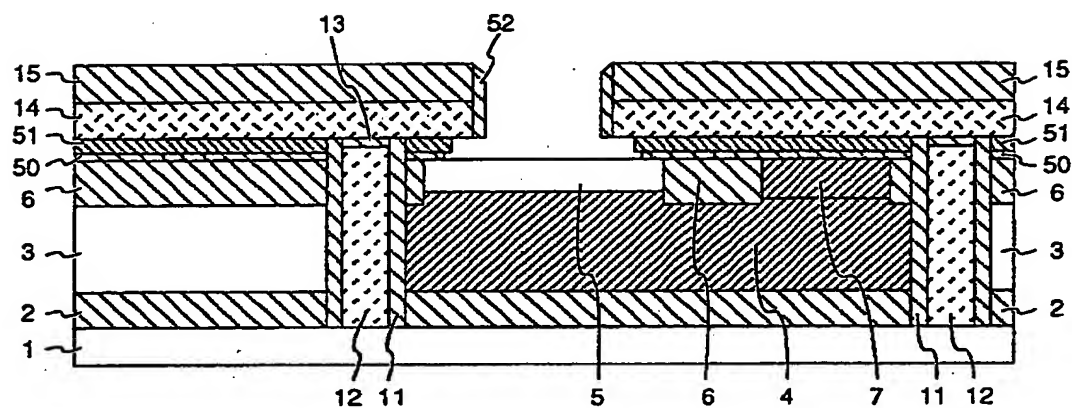
【図 14】

図 14



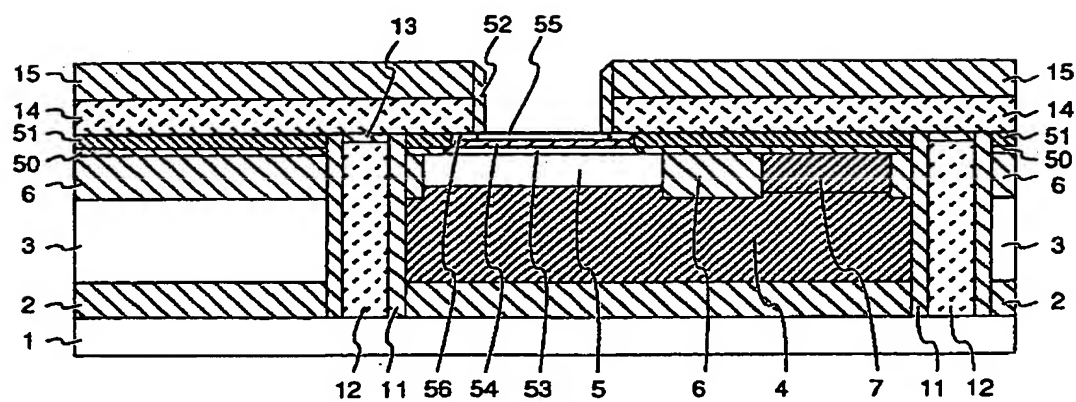
【図 15】

图 15



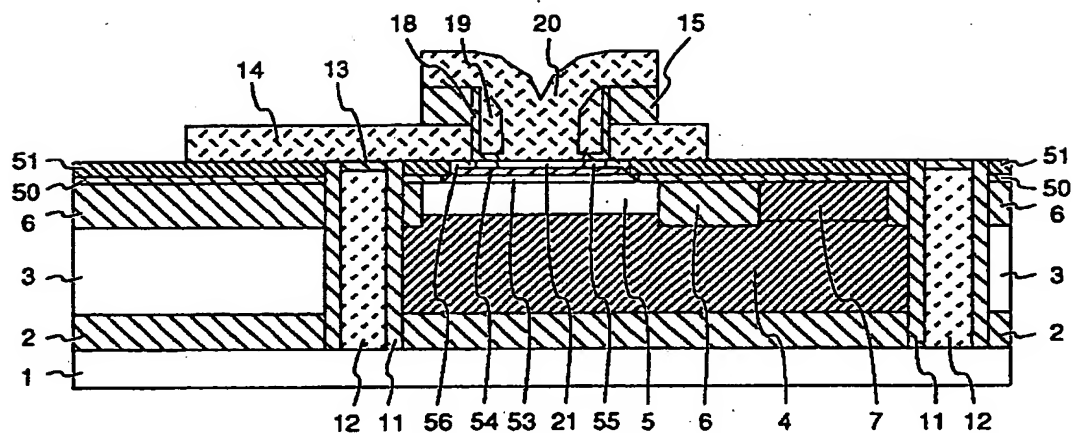
【图 16】

圖 16



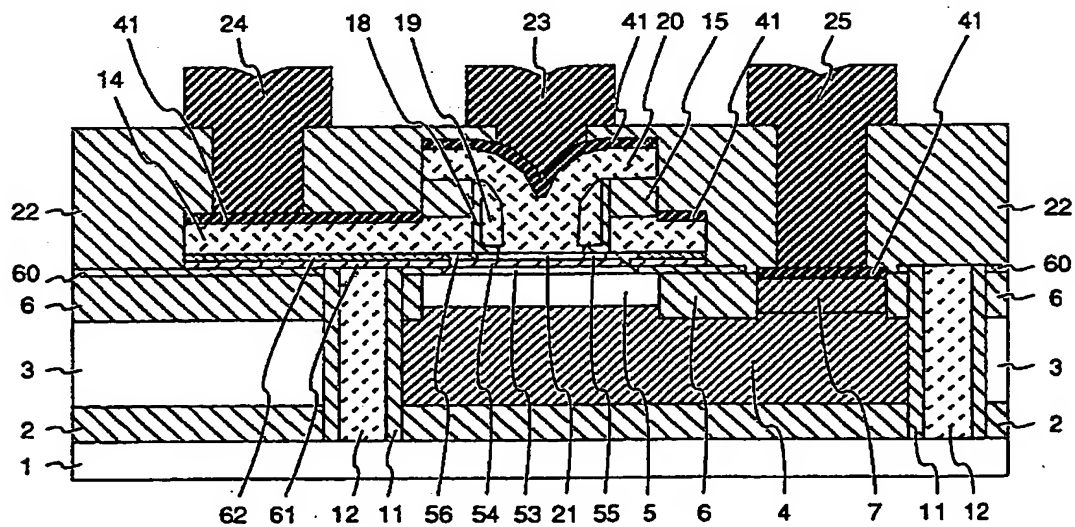
【図17】

図 17



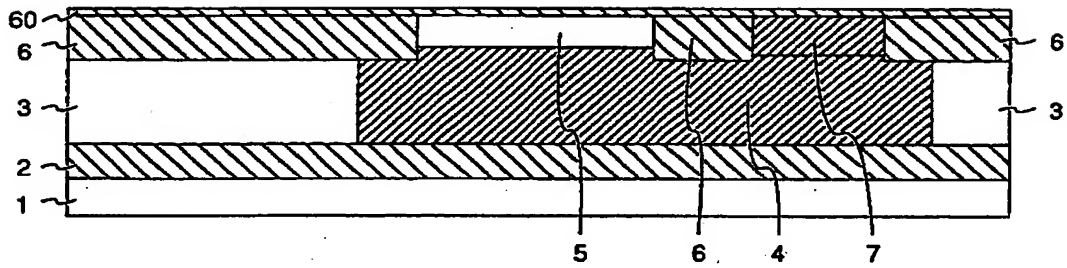
【図18】

図 18



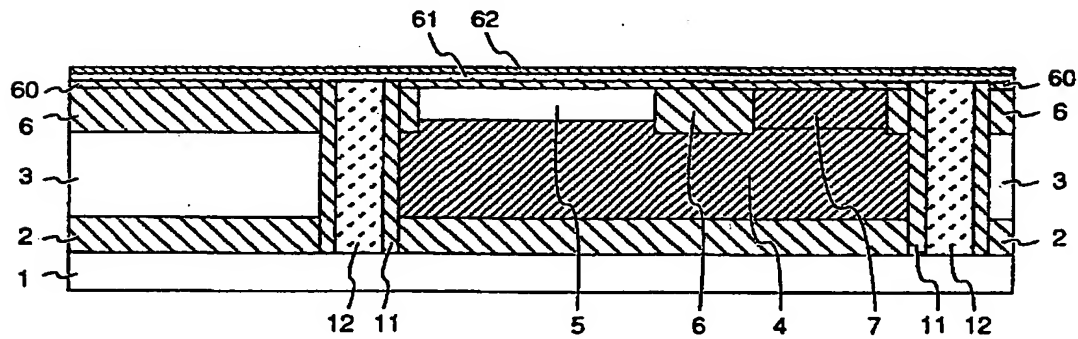
【図 19】

図 19



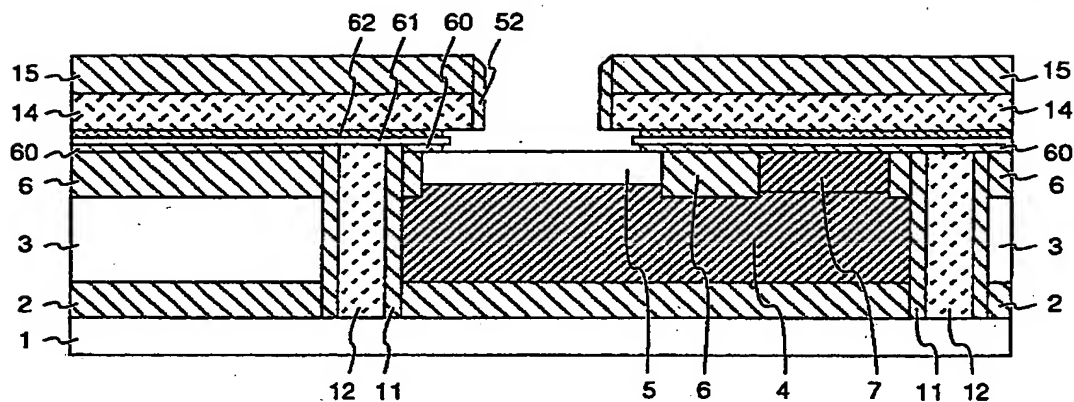
【図 20】

図 20



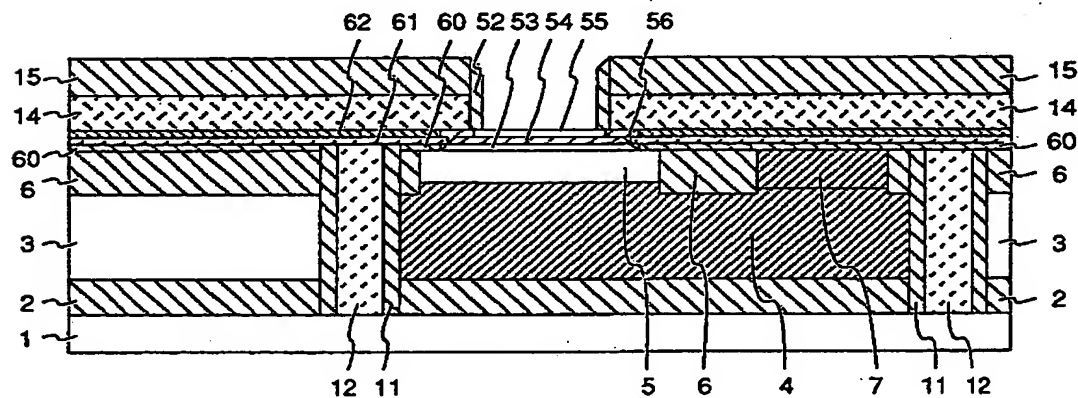
【図 2 1】

図 2 1



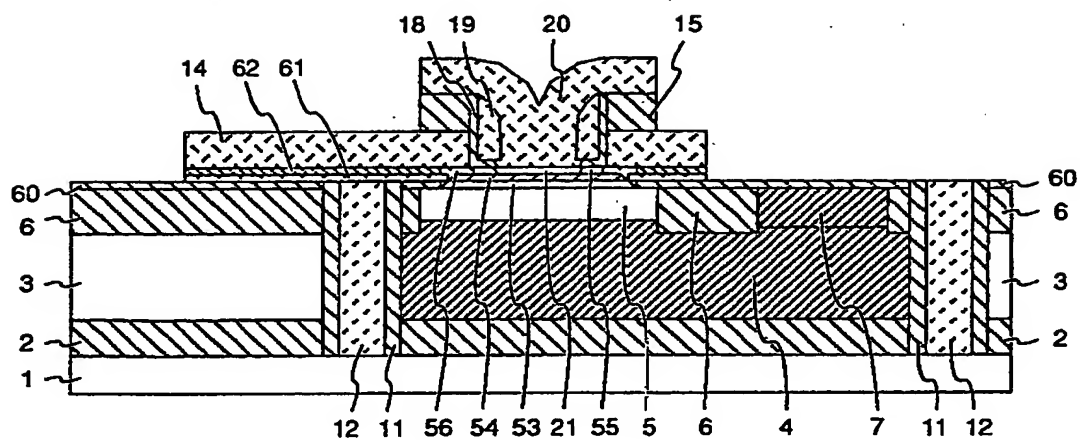
【図 2 2】

図 2 2



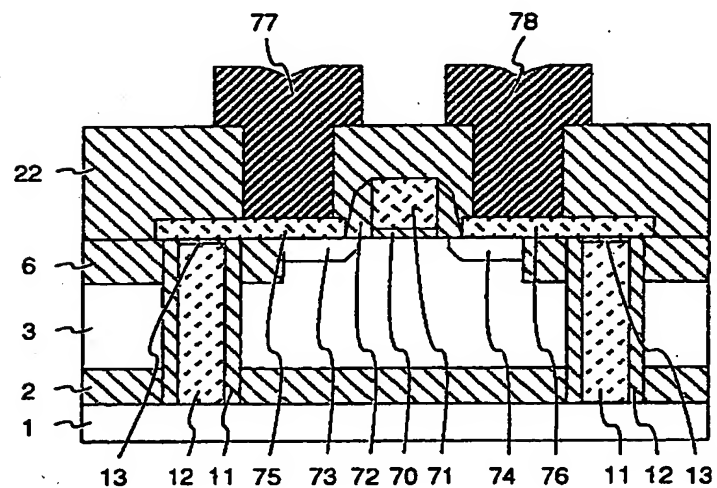
【図 2 3】

図 2 3



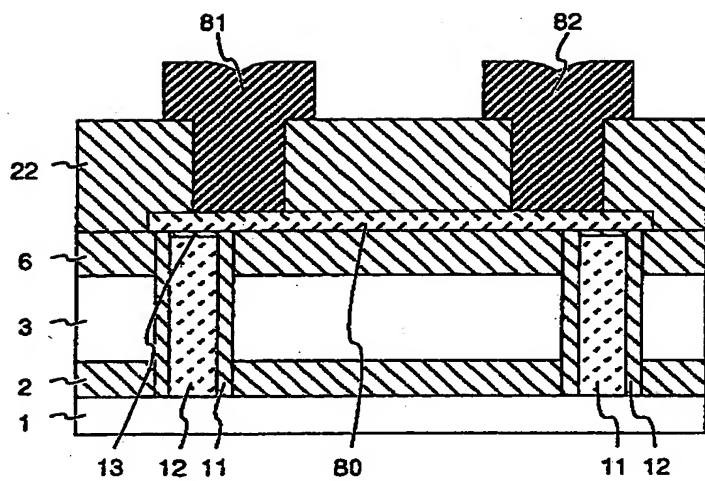
【図 2 4】

図 2 4



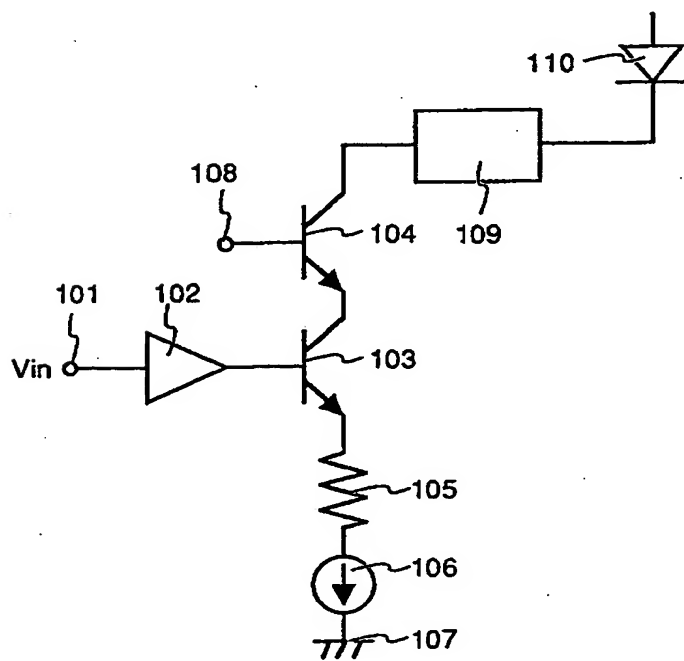
【図 25】

図 25



【図 26】

図 26



【書類名】 要約書

【要約】

【課題】 S O I 構造の半導体装置において、放熱効果を向上させること。特に、基板容量を増加させることなく、放熱効果を高めた高速に動作するバイポーラトランジスタを得る。それにより大容量の信号を超高速で送信することを目的とする。

【解決手段】 S O I 構造のシリコン基板とp+型多結晶シリコンベース引き出し電極14間を素子分離溝に埋め込まれた多結晶シリコンと極めて薄いシリコン酸化膜により接続し、真性領域で発生した熱をこの経路にてシリコン基板へと放熱する。また、素子分離溝内壁のシリコン酸化膜の膜厚を十分厚くし、基板容量の増加を防ぐ。

【効果】 基板容量を増加させずに、放熱効果を向上した高速に動作するトランジスタを得られる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所

出 願 人 履 歴 情 報

識別番号 [000233088]

1. 変更年月日 1990年 8月30日
[変更理由] 新規登録
住 所 千葉県茂原市早野3681番地
氏 名 日立デバイスエンジニアリング株式会社